



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001093970 A**

(43) Date of publication of application: 06.04.01

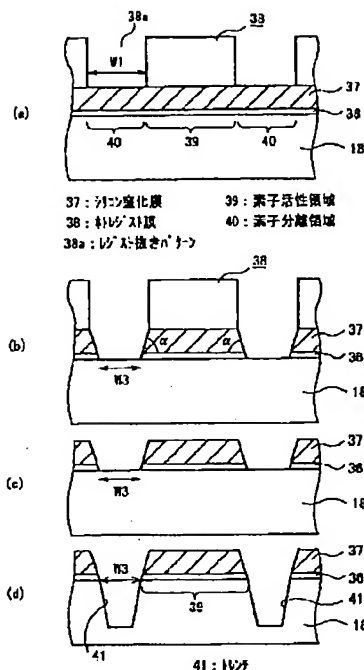
(51) Int. Cl. **H01L 21/76**(21) Application number: **11266486**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **21.09.99**(72) Inventor: **KAWAI KENJI**(54) **MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve reliability of a semiconductor device by forming a trench-type element isolating insulation film having an extremely thin width.

**SOLUTION:** For etching a silicon nitride film 37/underlay silicon oxide film 36 to form a pattern of a trench mask, rf power is set to a level higher than that for the normal anisotropic etching or the flow rate ratio (CF<sub>4</sub>/CHF<sub>3</sub>) of the etching gas is set to a lower value so as to form a tapered pattern, thereby narrowing the trimmed pattern.

COPYRIGHT: (C)2001,JPO





Partial Translation of  
Japanese Patent Laying-Open No. 2001-93970

(Embodiments)

First Embodiment

In the following, a first embodiment of the present invention will now be described with reference to the figures. Figs. 1 to 5 show a method of manufacturing a semiconductor device in accordance with the first embodiment of the present invention, specifically for DRAM. More particularly, Fig. 1 shows a cross sectional view of a trench formation step, Fig. 2 shows a cross sectional view showing a step of forming an insulating film in the trench, Fig. 3 shows a cross sectional view showing a step of forming a transistor and a contact hole, Fig. 4 shows a cross sectional view showing a storage node, and Fig. 5 shows cross sectional and planar views showing a step of forming a storage node.

First, an underlying silicon oxide film 19 of about 30 nm thick is formed on an entire surface of a semiconductor substrate 18 (referred to as substrate 18 hereinafter) formed of monocrystal silicon or the like, and a silicon nitride film 20 of about 150 nm thick is formed on the entire surface of silicon oxide film 19 as an insulating film. Thereafter, an antireflection coating 21 of about 80 nm thick, for example, formed of an organic film such as AzKrF<sub>2</sub> available from Clariant, Japan or DUV 42 available from Brewer Science is formed on the entire surface of silicon nitride film 20. Photoresist 22 of about 500 nm thick is further formed on the entire surface of antireflection coating 21. Photoresist film 22 is patterned by photolithography such that pattern 22a is arranged corresponding to a region serving as element-isolation region 24 surrounding element active region 23 in substrate 18 (Fig. 1 (a)).

Thereafter, resist pattern 22 is used as a mask to successively remove the underlying antireflection coating 21 using for example CF<sub>4</sub>/O<sub>2</sub>/Ar gas as well as silicon nitride film 20 and underlying silicon oxide film 19



thereunder using for example  $\text{CF}_4/\text{CHF}_3/\text{O}_2/\text{Ar}$  gas, by dry-etching. The surface of substrate 18 is then exposed and thereafter photoresist film 22 and antireflection coating 21 is removed by plasma etching using  $\text{O}_2$  gas (Fig. 1 (b)). Then, using silicon nitride film 20/underlying silicon oxide film 19 as being left as a mask, trench 25 of about 300 nm deep is formed in the underlying substrate 18 by dry-etching with  $\text{Cl}_2/\text{O}_2$  gas or  $\text{Cl}_2/\text{HBr}$  gas or  $\text{Cl}_2/\text{HBr}/\text{O}_2$  gas (Fig. 1 (c)).

Antireflection coating 21 may be formed of a plasma silicon oxynitride film (p-SiON) having a thickness of about 50 nm as an inorganic film, other than an organic film. In this case, etching of antireflection coating 21 using resist pattern 22 as a mask is performed with the same etching gas as silicon nitride film 20, and antireflection coating 21 after removal of photoresist film 22 is removed at the same time of etching for forming trench 25 (see Fig. 1).



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-93970

(P 2 0 0 1 - 9 3 9 7 0 A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.

H01L 21/76

識別記号

F I

H01L 21/76

キーワード (参考)

N 5F032

審査請求 未請求 請求項の数 9 O L (全12頁)

(21)出願番号

特願平11-266486

(22)出願日

平成11年9月21日(1999.9.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 川井 健治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100093562

弁理士 児玉 俊英

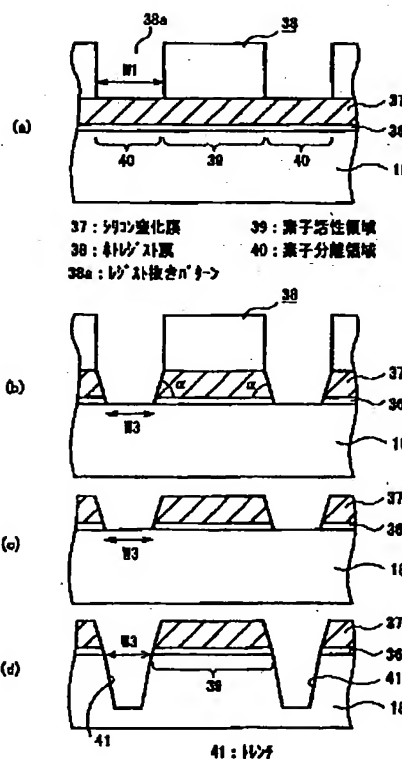
Fターム(参考) 5F032 AA35 AA44 AA66 CA17 DA23 DA25

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 トレンチ型の素子分離絶縁膜を極微細幅に形成して、半導体装置の信頼性向上を図る。

【解決手段】 トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36のパターニング時のエッチングの際、通常の異方性エッチング時よりもRFパワーを高くする、あるいはエッチングガスの流量比(CF<sub>4</sub>/CHF<sub>3</sub>)を低くすることで、パターンをテーパ形状に形成して抜きパターンを狭くする。



## 【特許請求の範囲】

【請求項1】 半導体基板上の全面に絶縁膜を形成し、該絶縁膜上に反射防止膜を形成する第1の工程と、該反射防止膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターンニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングによりパターンニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記半導体基板に、異方性エッチングにより所定の深さでトレンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上の全面に絶縁膜を形成する第1の工程と、該絶縁膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターンニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングにより、パターン側壁がテーパ形状となるようパターンニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記半導体基板に、異方性エッチングにより所定の深さでトレンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の第1の工程および第2の工程を行い、続いて請求項2記載の第3の工程、第4の工程および第5の工程を行うことを特徴とする半導体装置の製造方法。

【請求項4】 第1の工程で形成される絶縁膜がシリコン窒化膜であり、第3の工程での上記絶縁膜の異方性エッチングによるパターンニングを、パターン側壁が下地に対してなすテーパ角が約80度～約88度になるように行うことを特徴とする請求項2または3記載の半導体装置の製造方法。

【請求項5】 第3の工程において、エッチングガスに、テトラフロロメタン ( $\text{CF}_4$ ) およびトリフロロメタン ( $\text{CHF}_3$ ) を用い、RFパワー；約300W～約700Wにて絶縁膜の異方性エッチングを行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 第3の工程において、エッチングガスに、テトラフロロメタン ( $\text{CF}_4$ ) およびトリフロロメタン ( $\text{CHF}_3$ ) を用い、ガス流量比 ( $\text{CF}_4/\text{CHF}_3$ )；2～5程度にて絶縁膜の異方性エッチングを行

うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 第2の工程でのレジスト膜のパターンニング時に素子分離領域に対応して形成される抜きパターンの幅が、ホトリソグラフィ技術の限界幅であることを特徴とする請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 トレンチ型の素子分離絶縁膜を形成した後、該素子分離絶縁膜に囲まれる素子活性領域内周辺部の半導体基板に拡散層を形成し、その後、層間絶縁膜を形成し、該層間絶縁膜に上記拡散層と上層導電層との接続のためのコンタクトホールを開口することを特徴とする請求項1～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 素子活性領域がメモリセルにおけるメモリトランジスタの活性領域であり、上層導電層がキャパシタのストレージノードであることを特徴とする請求項8記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、半導体装置の製造方法に関し、特に、半導体基板に微細な素子分離領域を形成する方法に関するものである。

## 【0002】

【従来の技術】 半導体装置における素子間の分離にはLOCOS方式が一般的に用いられているが、半導体基板にトレンチを形成した後、このトレンチを絶縁膜で埋め込んで素子分離絶縁膜を形成する方式は、近年の微細化に伴い、狭い面積で優れた分離特性を有する方式として注目されている。従来の半導体装置、例えばDRAMの製造方法を、図11～図15に基づいて以下に示す。図11は、トレンチ形成工程を示す断面図、図12はトレンチ内の絶縁膜形成工程を示す断面図、図13はトランジスタおよびコンタクトホール形成工程を示す断面図、図14はストレージノード形成工程を示す断面図、図15はストレージノード形成工程を示す断面図および平面図である。

【0003】 まず、シリコン単結晶等から成る半導体基板1（以下、基板1と称す）上の全面に下敷きシリコン酸化膜2およびシリコン窒化膜3を順次形成した後、その上の全面にホトレジスト膜4を形成し、基板1における素子活性領域5を囲む素子分離領域6となる領域に対応して抜きパターン4aが配置されるよう、上記ホトレジスト膜4をホトリソグラフィ技術によりパターンニングする（図11(a)）。次に、レジストパターン4をマスクとして下地のシリコン窒化膜3および下敷きシリコン酸化膜2を、例えば $\text{CF}_4/\text{CHF}_3/\text{O}_2/\text{Ar}$ ガスを用い、ガス流量； $\text{CF}_4/\text{CHF}_3/\text{O}_2/\text{Ar}=10/70/800/8$ （sccm）、圧力；700mT、RFパワー；200Wでドライエッチング処理により除



去して基板1表面を露出する(図11(b))。次に、ホトレジスト膜4を $O_2$ ガスによるプラズマエッチングにより除去した後(図11(c))、残存したシリコン窒化膜3/下敷きシリコン酸化膜2をマスクとして、下地の基板1に、 $Cl_2/O_2$ ガス、または $Cl_2/HBr$ ガス、または $Cl_2/HBr/O_2$ ガスによるドライエッチング処理によりトレンチ7を形成する(図11(d))。

【0004】次に、トレンチ7内にシリコン酸化膜8を埋め込み、表面をCMP法により研磨した後(図12(a))、リン酸にてシリコン窒化膜3を、フッ酸にて下敷きシリコン酸化膜2を順次ウエットエッチングにより除去する。これにより、素子分離領域6にトレンチ型の素子分離絶縁膜8aが形成される(図12(b))。次に、基板1上の、素子分離絶縁膜8aに囲まれた素子活性領域5内の所定領域にゲート電極9を形成し、続いてイオン注入により拡散層10を形成してメモリトランジスタを形成する(図13(a))。次に、全面にシリコン酸化膜を形成し、図示しないビット線形成を行った後、さらに全面にシリコン酸化膜から成る層間絶縁膜11を形成する。続いて層間絶縁膜11の所定の領域をレジストマスクを用いて開口してコンタクトホール12を形成し、素子活性領域5内の周辺部に形成された拡散層10表面を露出する(図13(b))。

【0005】次に、コンタクトホール12内にポリシリコンを埋め込んでプラグ電極13を形成し、全面にBPSG膜等から成る層間絶縁膜14を形成した後、層間絶縁膜14の所定の領域に開口部15を設け、この後、全面にアモルファスシリコン膜16をプラグ電極13に接続するように形成する(図14(a))。次に、開口部15内に有機膜17を埋め込んだ後、層間絶縁膜14表面に露出したアモルファスシリコン膜16を例えば $Cl_2$ を含むガスプラズマエッチングにより除去し(図14(b))、この後、有機膜17を $O_2$ プラズマエッチングにて、層間絶縁膜14をHFペーパーにて除去し、円筒形状のアモルファスシリコン膜16を残存させる(図14(c))。次に、アモルファスシリコン膜16表面に $Si_3H_8$ により核付けし、真空アニール処理を施して結晶成長させて、アモルファスシリコン膜16の粗面化処理を行い、ストレージノード16aを形成する(図15)。この後、キャパシタ絶縁膜、上部電極を形成し、所定の処理を施してDRAMを完成する。

#### 【0006】

【発明が解決しようとする課題】従来の半導体装置は以上のように製造されており、比較的面積が小さいトレンチ型の素子分離絶縁膜8aにより素子分離を行っていた。しかしながら、微細化に伴い、素子分離絶縁膜8aおよびそれに囲まれる素子活性領域5の面積がますます縮小され、素子分離絶縁膜8aの面積により、素子活性領域5の面積が制限されるようになると、例えば、トレ

ンチ7形成の際のリソグラフィ工程の状態等により、素子活性領域5は周辺部が削られて面積が小さくなることがあった。このような素子活性領域5では、領域5内の周辺部に形成される拡散層10の表面積も小さくなり、ストレージノード16a接続のためのコンタクトホール12を、層間絶縁膜11を開口して拡散層10上に形成する際に、素子活性領域5を踏み外して素子分離間絶縁膜8aまでエッチングにより削ってしまうことがあった(図13参照)。これにより、分離特性の劣化、拡散層10の接合面がコンタクトホール12内で露出することによる接合リークの発生、拡散層10とコンタクトホール12内プラグ電極13との接触面積低減によるコンタクト抵抗の増大等の問題が生じる。また、ゲート電極9のゲート幅 $W_g$ も狭くなるため、トランジスタに流れるソース・ドレイン電流が低下するという問題点もあった(図15参照)。

【0007】この発明は、上記のような問題点を解消するために成されたものであって、微細幅のトレンチ型素子分離絶縁膜の幅を制御性良くさらに低減して、素子活性領域の面積を確保し、電気的特性の良好な信頼性の高い半導体装置を得ることを目的とする。

#### 【0008】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置の製造方法は、半導体基板上の全面に絶縁膜を形成し、該絶縁膜上に反射防止膜を形成する第1の工程と、該反射防止膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターンニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングによりパターンニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記半導体基板に、異方性エッチングにより所定の深さでトレンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有するものである。

【0009】またこの発明に係る請求項2記載の半導体装置の製造方法は、半導体基板上の全面に絶縁膜を形成する第1の工程と、該絶縁膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターンニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングにより、パターン側壁がテーパ形状となるようパターンニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記半導体基板に、異方性エッチングにより所定の深さでト

レンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有するものである。

【0010】またこの発明に係る請求項3記載の半導体装置の製造方法は、請求項1記載の第1の工程および第2の工程を行い、続いて請求項2記載の第3の工程、第4の工程および第5の工程を行うものである。

【0011】またこの発明に係る請求項4記載の半導体装置の製造方法は、請求項2または3において、第1の工程で形成される絶縁膜がシリコン窒化膜であり、第3の工程での上記絶縁膜の異方性エッチングによるパターンニングを、パターン側壁が下地に対してなすテーパー角が約80度〜約88度になるように行うものである。

【0012】またこの発明に係る請求項5記載の半導体装置の製造方法は、請求項4において、第3の工程でエッチングガスにテトラフロロメタン ( $\text{CF}_4$ ) およびトリフロロメタン ( $\text{CHF}_3$ ) を用い、RFパワー、約300W〜約700Wにて絶縁膜の異方性エッチングを行うものである。

【0013】またこの発明に係る請求項6記載の半導体装置の製造方法は、請求項4において、第3の工程でエッチングガスにテトラフロロメタン ( $\text{CF}_4$ ) およびトリフロロメタン ( $\text{CHF}_3$ ) を用い、ガス流量比 ( $\text{CF}_4/\text{CHF}_3$ ) ; 2〜5程度にて絶縁膜の異方性エッチングを行うものである。

【0014】またこの発明に係る請求項7記載の半導体装置の製造方法は、請求項1〜6のいずれかにおいて、第2の工程でのレジスト膜のパターンニング時に素子分離領域に対応して形成される抜きパターンの幅が、ホトリソグラフィ技術の限界幅である。

【0015】またこの発明に係る請求項8記載の半導体装置の製造方法は、請求項1〜7のいずれかにおいて、トレンチ型の素子分離絶縁膜を形成した後、該素子分離絶縁膜に囲まれる素子活性領域内周辺部の半導体基板に拡散層を形成し、その後、層間絶縁膜を形成し、該層間絶縁膜に上記拡散層と上層導電層との接続のためのコンタクトホールを開口するものである。

【0016】またこの発明に係る請求項9記載の半導体装置の製造方法は、請求項8において、素子活性領域がメモリセルにおけるメモリトランジスタの活性領域であり、上層導電層がキャパシタのストレージノードである。

#### 【0017】

【発明の実施の形態】実施の形態1. 以下、この発明の実施の形態1を図について説明する。図1〜図5は、この発明の実施の形態1による半導体装置の製造方法を、DRAMの製造方法について示したもので、特に、図1は、トレンチ形成工程を示す断面図、図2はトレンチ内の絶縁膜形成工程を示す断面図、図3はトランジスタおよびコンタクトホール形成工程を示す断面図、図4はス

トレージノード形成工程を示す断面図、図5はストレージノード形成工程を示す断面図および平面図である。

【0018】まず、シリコン単結晶等から成る半導体基板18 (以下、基板18と称す) 上の全面に下敷きシリコン酸化膜19を約30nmの膜厚で形成し、その上の全面に絶縁膜としてのシリコン窒化膜20を約150nmの膜厚で形成した後、シリコン窒化膜20上の全面に、例えば、クラリアント・ジャパン社製のAzKrF<sub>6</sub>やBrewer Science社製のDUV42等の有機膜から成る反射防止膜21を約80nmの膜厚で形成する。さらに、反射防止膜21上の全面にホトレジスト膜22を約500nmの膜厚で形成し、基板18における素子活性領域23を囲む素子分離領域24となる領域に対応して抜きパターン22aが配置されるよう、上記ホトレジスト膜22をホトリソグラフィ技術によりパターンニングする (図1(a))。

【0019】次に、レジストパターン22をマスクとして下地の反射防止膜21を、例えば $\text{CF}_4/\text{O}_2/\text{Ar}$ ガスを用い、その下のシリコン窒化膜20および下敷きシリコン酸化膜19を、例えば $\text{CF}_4/\text{CHF}_3/\text{O}_2/\text{Ar}$ ガスを用いたドライエッチング処理により順次除去して基板18表面を露出した後、ホトレジスト膜22および反射防止膜21を $\text{O}_2$ ガスによるプラズマエッチングにより除去する (図1(b))。次に、残存したシリコン窒化膜20/下敷きシリコン酸化膜19をマスクとして、下地の基板18に、 $\text{Cl}_2/\text{O}_2$ ガス、または $\text{Cl}_2/\text{HBr}$ ガス、または $\text{Cl}_2/\text{HBr}/\text{O}_2$ ガスによるドライエッチング処理により約300nmの深さでトレンチ25を形成する (図1(c))。

【0020】次に、トレンチ25内を埋め込んでシリコン酸化膜26を約500nmの膜厚で形成し、表面をCMP法により研磨した後 (図2(a))、リン酸にてシリコン窒化膜20を、フッ酸にて下敷きシリコン酸化膜19を順次ウェットエッチングにより除去する。これにより、素子分離領域24にトレンチ型の素子分離絶縁膜26aが形成される (図2(b))。次に、基板18上の、素子分離絶縁膜26aに囲まれた素子活性領域23内の所定領域にゲート電極27を形成し、続いてイオン注入により拡散層28を形成してメモリトランジスタを形成する (図3(a))。次に、全面にシリコン酸化膜を形成し、図示しないビット線形成を行った後、さらに全面にシリコン酸化膜から成る層間絶縁膜29を約1.0μmの膜厚で形成する。続いて層間絶縁膜29の所定の領域をレジストマスクを用いて開口してコンタクトホール30を約0.15μmの径で形成し、素子活性領域23内の周辺部に形成された拡散層28表面を露出する (図3(b))。

【0021】次に、コンタクトホール30内にポリシリコンを埋め込んでプラグ電極31を形成し、全面にBP SG膜等から成る層間絶縁膜32を形成した後、層間絶

縁膜 32 の所定の領域に開口部 33 を設け、この後、全面にアモルファスシリコン膜 34 をプラグ電極 31 に接続するように形成する (図 4 (a))。次に、開口部 33 内に有機膜 35 を埋め込んだ後、層間絶縁膜 32 表面に露出したアモルファスシリコン膜 34 を例えば  $\text{Cl}_2$  を含むガスプラズマエッチングにより除去し (図 4 (b))、この後、有機膜 35 を  $\text{O}_2$  プラズマエッチングにて、層間絶縁膜 32 を  $\text{HF}$  べーパにて除去し、円筒形状のアモルファスシリコン膜 34 を残存させる (図 4 (c))。次に、アモルファスシリコン膜 34 表面に  $\text{Si}$ ,  $\text{H}_2$  により核付けし、真空アニール処理を施して結晶成長させて、アモルファスシリコン膜 34 の粗面化処理を行い、ストレージノード 34a を形成する (図 5)。この後、キャパシタ絶縁膜、上部電極を形成し、所定の処理を施して DRAM を完成する。

【0022】この実施の形態では、図 1 で示したように、シリコン窒化膜 20 上に反射防止膜 21 を形成し、この反射防止膜 21 上にレジストパターン 22 を形成する。即ち、レジストパターン 22 形成時のリソグラフィ工程において、露光の反射が防止されて、素子分離領域 24 に微細幅のレジスト抜きパターン 22a が広がることなく寸法制御性良く形成できる。この形成されたレジストパターン 22 をマスクとしてシリコン窒化膜 20 / 下敷きシリコン酸化膜 19 をパターンニングし、さらにシリコン窒化膜 20 / 下敷きシリコン酸化膜 19 のパターンをマスクとしてトレンチ 25 を形成する。ここで、シリコン窒化膜 20 はトレンチ 25 形成のためのマスク (以下、トレンチマスクと称す) に用いる膜であるが、基板 18 上に直接形成すると応力の問題が発生するため、薄い下敷きシリコン酸化膜 19 を介して形成するものである。上記のように、反射防止膜 21 をホトレジスト膜 22 の下層に形成することにより、微細幅のレジスト抜きパターン 22a が形成でき、これによりトレンチマスクとなるシリコン窒化膜 20 / 下敷きシリコン酸化膜 19 の微細な抜きパターンが形成でき、さらに微細幅のトレンチ 25 が寸法制御性良く形成できる。

【0023】反射防止膜 21 を用いない従来のものでは、レジスト抜きパターン 4a の幅は  $W1 = \text{約} 0.16 \mu\text{m}$  であった (図 11 参照) が、この実施の形態では、レジスト抜きパターン 22a の幅は  $W2 = \text{約} 0.14 \mu\text{m}$  で形成できた。即ち、トレンチ型の素子分離絶縁膜 26a の幅も、従来の  $\text{約} 0.16 \mu\text{m}$  ( $W1$ ) から  $\text{約} 0.14 \mu\text{m}$  ( $W2$ ) に縮小され、しかも露光時の反射を防止しているため、寸法精度良く微細に形成できる。ここで、レジスト抜きパターン 22a の幅が、ホトリソグラフィ技術の限界幅 (設計寸法) であるとする、その限界幅に高精度で形成できるものである。このように素子分離領域 24 の面積が縮小できるため、その分、素子活性領域 23 は大きくできる。素子活性領域 23 と素子分離領域 24 とを合わせたピッチ寸法が、例えば  $\text{約} 1.0$

$4 \mu\text{m}$  程度であるが、素子活性領域 23 の幅を  $\text{約} 0.02 \mu\text{m}$  拡げて  $\text{約} 0.90 \mu\text{m}$  に形成できた。

【0024】このため、ストレージノード 34a 接続のためのコンタクトホール 30 が、形成時に素子活性領域 23 を踏み外して素子分離間絶縁膜 26a までエッチングすることが防止でき、コンタクトホール 30 内のプラグ電極 31 は拡散層 28 と十分な接触面積で接続される。これにより、拡散層 28 の接合面がコンタクトホール 30 内で露出することもなく、接合リークの発生防止、分離特性の向上、コンタクト抵抗の低減が図れる。さらに、素子活性領域 23 は、トランジスタのゲート幅方向にも拡がるため、ゲート幅  $W_t$  が確保できてトランジスタに流れるソース・ドレイン電流が低下することもない (図 5 参照)。

【0025】なお、反射防止膜 21 は、有機膜以外に無機膜としてプラズマシリコン酸化膜 ( $\text{p-SiON}$ ) を  $\text{約} 50 \text{ nm}$  の膜厚で形成して用いても良く、この場合、レジストパターン 22 をマスクとした反射防止膜 21 のエッチングは、シリコン窒化膜 20 と同じエッチングガスで行い、ホトレジスト膜 22 除去後の反射防止膜 21 の除去は、トレンチ 25 形成のためのエッチングと同時に進行 (図 1 参照)。また、トレンチマスクとなるシリコン窒化膜 20 / 下敷きシリコン酸化膜 19 は、 $50 \text{ nm}$  程度の薄いポリシリコン膜を間に形成した、シリコン窒化膜 20 / ポリシリコン膜 / 下敷きシリコン酸化膜 19 を用いても良い。

【0026】実施の形態 2. 次に、この発明の実施の形態 2 を図について説明する。図 6 ~ 図 8 は、この発明の実施の形態 2 による半導体装置の製造方法を、DRAM の製造方法について示したもので、特に、図 6 は、トレンチ形成工程を示す断面図、図 7 はトレンチ内の絶縁膜形成工程を示す断面図、図 8 は素子分離後の製造方法を示す断面図および平面図である。まず、基板 18 上の全面に下敷きシリコン酸化膜 36 を  $\text{約} 30 \text{ nm}$  の膜厚で形成し、その上の全面に絶縁膜としてのシリコン窒化膜 37 を  $\text{約} 150 \text{ nm}$  の膜厚で形成した後、全面にホトレジスト膜 38 を  $\text{約} 500 \text{ nm}$  の膜厚で形成し、基板 18 における素子活性領域 39 を囲む素子分離領域 40 となる領域に対応して抜きパターン 38a が配置されるよう、上記ホトレジスト膜 38 をホトリソグラフィ技術によりパターンニングする (図 6 (a))。

【0027】次に、レジストパターン 38 をマスクとして下地のシリコン窒化膜 37 および下敷きシリコン酸化膜 36 を、例えば  $\text{CF}_4 / \text{CHF}_3 / \text{O}_2 / \text{Ar}$  ガスを用いて、ガス流量;  $\text{CF}_4 / \text{CHF}_3 / \text{O}_2 / \text{Ar} = 10 / 70 / 800 / 8$  (sccm)、圧力;  $700 \text{ mT}$ 、RF パワー;  $500 \text{ W}$  でドライエッチング処理により除去して基板 18 表面を露出することにより、パターン側壁と下地とのなすテーパ角  $\alpha = \text{約} 84$  度であるテーパ形状のシリコン窒化膜 37 / 下敷きシリコン酸化膜 36 のパ

ターンを形成する。これは通常の異方性エッチングよりもRFパワーを高くすることにより、ホトレジスト膜38からカーボンをたたき出して、エッチングしながら堆積させる作用により、シリコン窒化膜37/下敷きシリコン酸化膜36の抜きパターンを狭くするものである(図6(b))。

【0028】次に、ホトレジスト膜38を $O_2$ ガスによるプラズマエッチングにより除去した後(図6(c))、シリコン窒化膜37/下敷きシリコン酸化膜36のパターンをマスクとして、下地の基板18を、 $Cl_2/O_2$ ガス、または $Cl_2/HBr$ ガス、または $Cl_2/HBr/O_2$ ガスによるドライエッチング処理により約300nmの深さでトレンチ41を形成する(図6(d))。

【0029】次に、上記実施の形態1と同様に、トレンチ41内にシリコン酸化膜42を埋め込み、CMP法により研磨した後、シリコン窒化膜37、下敷きシリコン酸化膜36を順次除去し、素子分離領域40にトレンチ型の素子分離絶縁膜42aを形成する(図7)。さらに、上記実施の形態1と同様に、素子分離絶縁膜42aに囲まれた素子活性領域39内にゲート電極27、拡散層28を形成してメモリトランジスタを形成し、層間絶縁膜29、コンタクトホール30、プラグ電極31を順次形成した後、ストレージノード34aを形成し(図8)、この後、キャパシタ絶縁膜、上部電極を形成し、所定の処理を施してDRAMを完成する。

【0030】この実施の形態では、図6で示したように、トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36のパターンをテーパ形状に形成したため、抜きパターン底部の幅が狭くなり、続いて形成されるトレンチ41の開口幅も狭くなる。即ち、トレンチ型の素子分離絶縁膜42aの幅をホトリソグラフィ技術で規定される幅を超えて微細化できる。ここで、レジスト抜きパターン38aの幅が、ホトリソグラフィ技術の限界幅(設計寸法)であるとする、その限界幅を越えた極微細幅のトレンチ型の素子分離絶縁膜42aを形成できるものである。レジスト抜きパターン38aの幅は従来と同様に $W1 \approx 0.16 \mu m$ であったが(図6、図11参照)、シリコン窒化膜37/下敷きシリコン酸化膜36の抜きパターン底部の幅は $W3 \approx 0.13 \mu m$ で形成できた。これによりトレンチ41の開口幅、即ち、トレンチ型の素子分離絶縁膜42aの幅も、従来の約 $0.16 \mu m$ ( $W1$ )から約 $0.13 \mu m$ ( $W3$ )に縮小される。

【0031】このように素子分離領域40の面積が縮小できるため、上記実施の形態1と同様に、素子活性領域39がその分広く形成でき、ストレージノード34a接続のためのコンタクトホール30が、形成時に素子活性領域39を踏み外して素子分離間絶縁膜42aまでエッチングすることが防止でき、コンタクトホール30内の

プラグ電極31は拡散層28と十分な接触面積で接続される。これにより、拡散層28の接合面がコンタクトホール30内で露出することなく、接合リークの発生防止、分離特性の向上、コンタクト抵抗の低減が図れる。さらに、素子活性領域39は、トランジスタのゲート幅方向にも拡がるため、ゲート幅 $W_g$ が確保できてトランジスタに流れるソース・ドレイン電流が低下することもない(図8参照)。また、トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36のパターンがテーパ形状であるため、この抜きパターンを介してトレンチ41内にシリコン酸化膜42を埋め込む際、容易に信頼性良く埋め込める。

【0032】なお、この実施の形態2では、トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36のパターン形成を、 $CF_4/CHF_3/O_2/Ar$ ガスを用いて、ガス流量; $CF_4/CHF_3/O_2/Ar = 10/70/800/8$ (sccm)、圧力; $700mT$ 、の条件下で、RFパワー; $500W$ にてドライエッチング処理により行ったが、RFパワーを通常の異方性エッチング時の $200W$ から徐々に上げたときの、形成されたパターンのテーパ角および寸法を図9に示す。図に示すように、RFパワーを上げるとテーパ角 $\alpha$ が $90$ 度より小さくなり、その分パターン寸法がシフトするため、抜きパターン底部の幅 $W3$ (仕上がり寸法)は低減される。ここで、寸法精度は、バラツキを $\pm 0.03 \mu m$ 以下にする必要があるため、RFパワー; $約300W \sim 約700W$ でテーパ角 $\alpha$ ; $88度 \sim 80度$ のパターン形成を行うのが望ましい。これによりトレンチ型の素子分離絶縁膜42aの幅は、従来の約 $0.16 \mu m$ ( $W1$ )から約 $0.11 \sim 約0.15 \mu m$ ( $W3$ )に縮小され、素子活性領域41が広く確保できる効果が得られる。

【0033】実施の形態3. 上記実施の形態2では、トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36のパターン形成を、 $CF_4/CHF_3/O_2/Ar$ ガスを用いて、RFパワーを通常の異方性エッチング時よりも高くしてドライエッチング処理により行ったが、ガスの流量比を変えることによっても同様の効果を上げることができる。 $CF_4/CHF_3/O_2/Ar$ ガスを用いて、圧力; $700mT$ 、RFパワー; $200W$ の条件下で、ガス流量比 $CF_4/CHF_3$ を通常の異方性エッチング時の $70/1.0$ から徐々に下げたときの、形成されたパターンのテーパ角および寸法を図10に示す。

【0034】図に示すように、ガス流量比 $CF_4/CHF_3$ を下げるとテーパ角 $\alpha$ が $90$ 度より小さくなり、その分パターン寸法がシフトするため、抜きパターン底部の幅 $W3$ (仕上がり寸法)は低減される。上述したように、バラツキを $\pm 0.03 \mu m$ 以下の寸法精度が必要であるため、ガス流量比 $CF_4/CHF_3$ ; $約5 \sim 約2程$

度でテーパ角 $\alpha$ ；88度～80度のパターン形成を行うのが望ましい。これによりトレンチ型の素子分離絶縁膜42aの幅は、従来の約0.16 $\mu$ m(W1)から約0.11～約0.15 $\mu$ m(W3)に縮小され、素子活性領域41が広く確保できる効果が得られる。

【0035】なお、上記実施の形態1による方法で、下層に反射防止膜21を形成してホトレジスト膜22のパターニングを行い、その後、上記実施の形態2または3による方法で、トレンチマスクとなるシリコン窒化膜37/下敷きシリコン酸化膜36をテーパ形状にパターニングしても良く、トレンチ型の素子分離絶縁膜42aの幅を寸法精度性良くさらに微細化できる。

【0036】また、上記実施の形態1～3によるトレンチ型の素子分離絶縁膜26a、42aの形成方法は、実施の形態内で示したように、素子活性領域内23、39の周辺部に拡散層28が形成される場合に、コンタクトホール30形成時の素子活性領域23、39の踏み外しが防止できて特に有効であり、集積度の高いDRAM装置などに適用すると効果的であるが、これに限るものではなく、半導体基板に極微細なトレンチ型素子分離膜を形成するのに、広く適用できる。

#### 【0037】

【発明の効果】以上のようにこの発明に係る請求項1記載の半導体装置の製造方法は、半導体基板上の全面に絶縁膜を形成し、該絶縁膜上に反射防止膜を形成する第1の工程と、該反射防止膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングによりパターニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記半導体基板に、異方性エッチングにより所定の深さでトレンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有するため、トレンチ型の素子分離絶縁膜の幅を寸法制御性良く微細化でき、信頼性の高い半導体装置が得られる。

【0038】またこの発明に係る請求項2記載の半導体装置の製造方法は、半導体基板上の全面に絶縁膜を形成する第1の工程と、該絶縁膜上の全面にレジスト膜を形成し、上記半導体基板における素子活性領域を囲む素子分離領域に対応して抜きパターンが配置されるよう上記レジスト膜をホトリソグラフィ技術によりパターニングする第2の工程と、該レジストパターンをマスクとして上記絶縁膜を異方性エッチングにより、パターン側壁がテーパ形状となるようパターニングし、上記素子分離領域の上記半導体基板表面を露出する第3の工程と、上記絶縁膜パターンをマスクとして上記素子分離領域の上記

半導体基板に、異方性エッチングにより所定の深さでトレンチを形成する第4の工程と、その後、上記トレンチに第2の絶縁膜を埋め込んでトレンチ型の素子分離絶縁膜を形成する第5の工程とを有するため、トレンチ型の素子分離絶縁膜の幅をホトリソグラフィ技術で規定される幅を超えて微細化でき、信頼性の高い半導体装置が得られる。

【0039】またこの発明に係る請求項3記載の半導体装置の製造方法は、請求項1記載の第1の工程および第2の工程を行い、続いて請求項2記載の第3の工程、第4の工程および第5の工程を行うため、トレンチ型の素子分離絶縁膜の幅を寸法精度性良くさらに微細化でき、半導体装置の信頼性が一層向上する。

【0040】またこの発明に係る請求項4記載の半導体装置の製造方法は、請求項2または3において、第1の工程で形成される絶縁膜がシリコン窒化膜であり、第3の工程での上記絶縁膜の異方性エッチングによるパターニングを、パターン側壁が下地に対してなすテーパ角が約80度～約88度になるように行うため、制御性良くテーパ形状のパターン形成が行える。

【0041】またこの発明に係る請求項5記載の半導体装置の製造方法は、請求項4において、第3の工程でエッチングガスにテトラフロロメタン(CF<sub>4</sub>)およびトリフロロメタン(CHF<sub>3</sub>)を用い、RFパワー；約300W～約700Wにて絶縁膜の異方性エッチングを行うため、制御性良く確実にテーパ形状のパターン形成が行える。

【0042】またこの発明に係る請求項6記載の半導体装置の製造方法は、請求項4において、第3の工程でエッチングガスにテトラフロロメタン(CF<sub>4</sub>)およびトリフロロメタン(CHF<sub>3</sub>)を用い、ガス流量比(CF<sub>4</sub>/CHF<sub>3</sub>)；2～5程度にて絶縁膜の異方性エッチングを行うため、制御性良く確実にテーパ形状のパターン形成が行える。

【0043】またこの発明に係る請求項7記載の半導体装置の製造方法は、請求項1～6のいずれかにおいて、第2の工程でのレジスト膜のパターニング時に素子分離領域に対応して形成される抜きパターンの幅が、ホトリソグラフィ技術の限界幅であるため、トレンチ型素子分離絶縁膜の幅を、ホトリソグラフィ技術で可能な最小幅あるいはそれを若干越えて極微細幅に高精度で形成できる。

【0044】またこの発明に係る請求項8記載の半導体装置の製造方法は、請求項1～7のいずれかにおいて、トレンチ型の素子分離絶縁膜を形成した後、該素子分離絶縁膜に囲まれる素子活性領域内周辺部の半導体基板に拡散層を形成し、その後、層間絶縁膜を形成し、該層間絶縁膜に上記拡散層と上層導電層との接続のためのコンタクトホールを開口するため、トレンチ型の素子分離絶縁膜の幅を微細化でき、分離特性および素子の電気的特



性の向上した信頼性の高い半導体装置が得られる。

【0045】またこの発明に係る請求項9記載の半導体装置の製造方法は、請求項8において、素子活性領域がメモリセルにおけるメモリトランジスタの活性領域であり、上層導電層がキャパシタのストレージノードであるため、分離特性および素子の電気的特性の向上した信頼性の高いメモリセルが得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMのトレンチ形成工程を示す断面図である。

【図2】 この発明の実施の形態1によるDRAMのトレンチ内の絶縁膜形成工程を示す断面図である。

【図3】 この発明の実施の形態1によるDRAMのトランジスタおよびコンタクトホール形成工程を示す断面図である。

【図4】 この発明の実施の形態1によるDRAMのストレージノード形成工程を示す断面図である。

【図5】 この発明の実施の形態1によるDRAMのストレージノード形成工程を示す断面図および平面図である。

【図6】 この発明の実施の形態2によるDRAMのトレンチ形成工程を示す断面図である。

【図7】 この発明の実施の形態2によるDRAMのトレンチ内の絶縁膜形成工程を示す断面図である。

【図8】 この発明の実施の形態2によるDRAMの素子分離後の製造方法を示す断面図および平面図である。

【図9】 この発明の実施の形態2によるトレンチマス

クのパターンとエッチング条件との関係を説明する図である。

【図10】 この発明の実施の形態3によるトレンチマスクのパターンとエッチング条件との関係を説明する図である。

【図11】 従来のDRAMのトレンチ形成工程を示す断面図である。

【図12】 従来のDRAMのトレンチ内の絶縁膜形成工程を示す断面図である。

10 【図13】 従来のDRAMのトランジスタおよびコンタクトホール形成工程を示す断面図である。

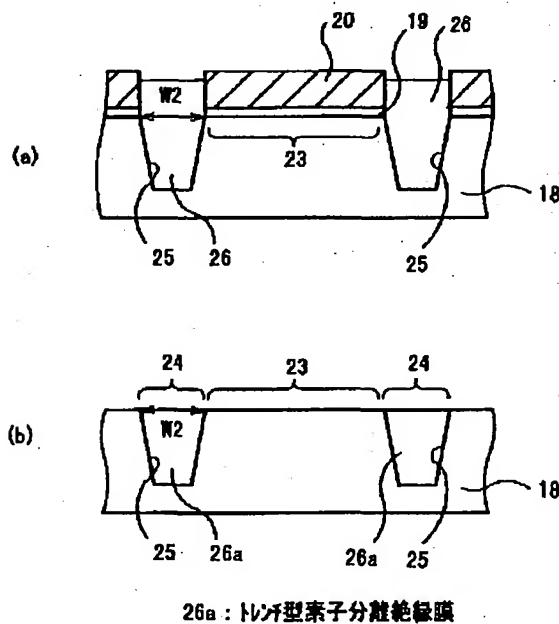
【図14】 従来のDRAMのストレージノード形成工程を示す断面図である。

【図15】 従来のDRAMのストレージノード形成工程を示す断面図および平面図である。

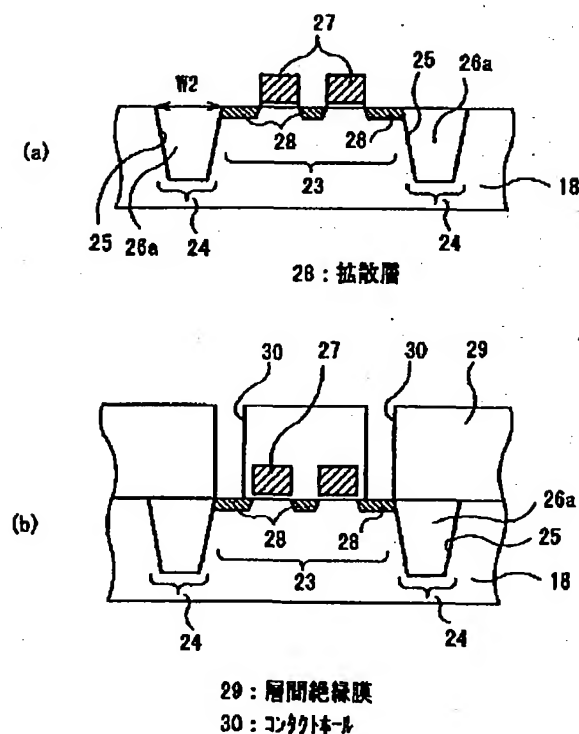
【符号の説明】

18 半導体装置、20 絶縁膜としてのシリコン窒化膜、21 反射防止膜、22 ホトレジスト膜、22a レジスト抜きパターン、23 素子活性領域、24 素子分離領域、25 トレンチ、26a トレンチ型素子分離絶縁膜、28 拡散層、29 層間絶縁膜、30 コンタクトホール、34a ストレージノード、37 絶縁膜としてのシリコン窒化膜、38 ホトレジスト膜、38a レジスト抜きパターン、39 素子活性領域、40 素子分離領域、41 トレンチ、42a トレンチ型素子分離絶縁膜。

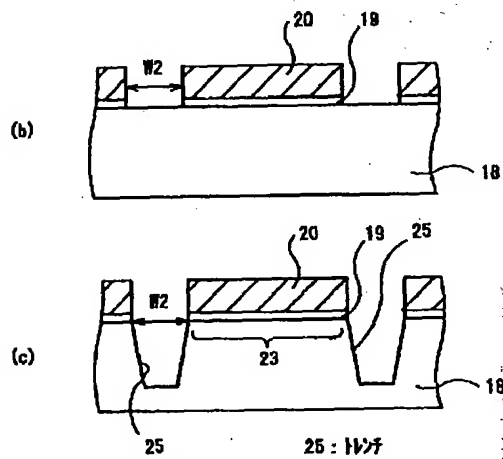
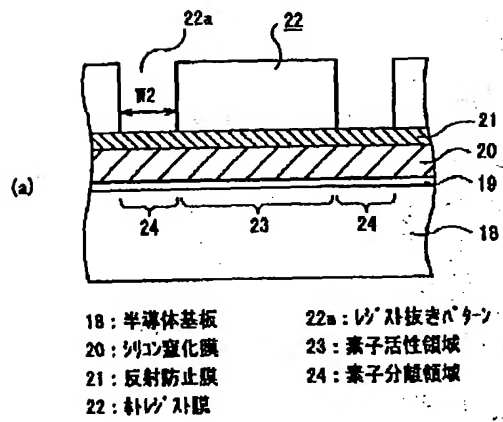
【図2】



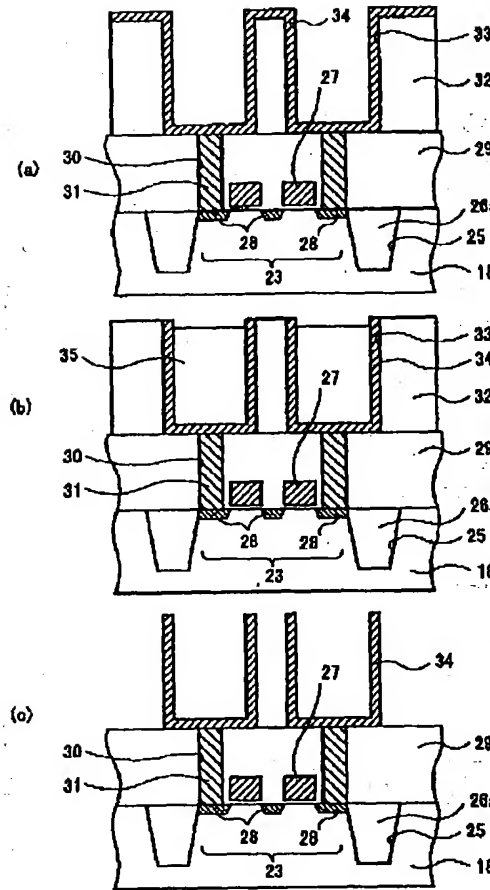
【図3】



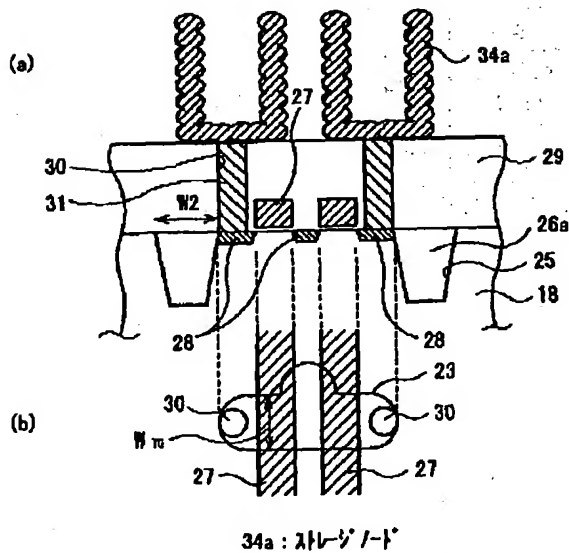
【図1】



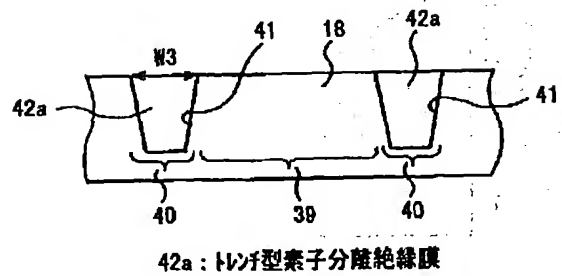
【図4】



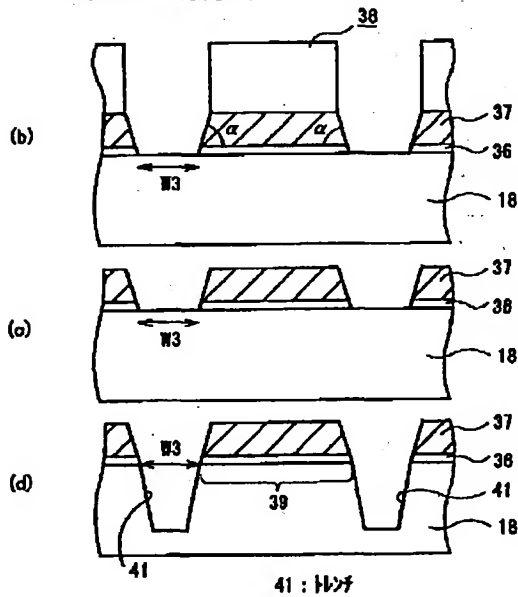
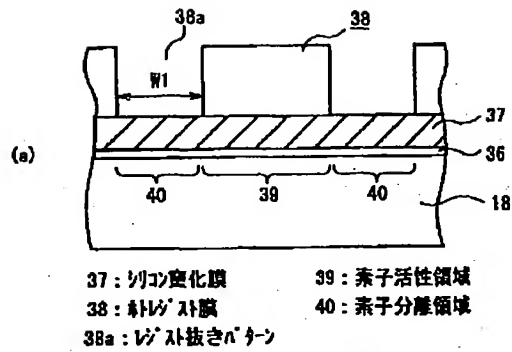
【図5】



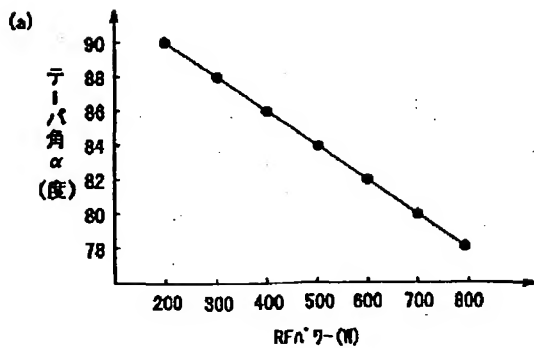
【図7】



【図6】



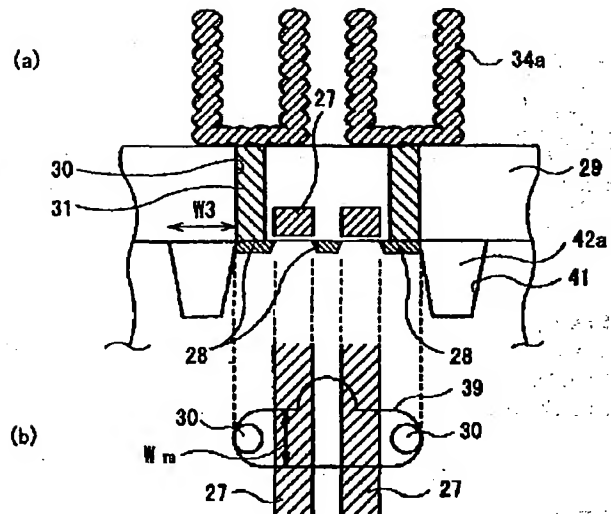
【図9】



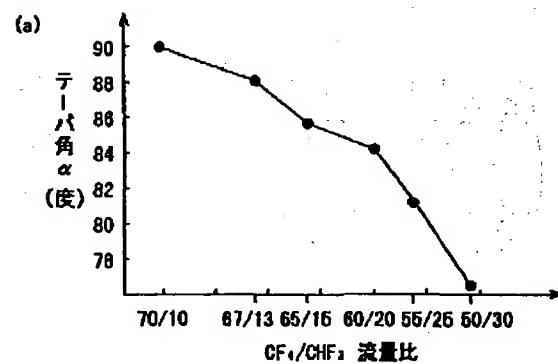
(b)

RFパワー(W)	200	300	400	500	600	700	800
仕上がり寸法 ( $\mu\text{m}$ )	0.16	0.15	0.14	0.13	0.12	0.11	0.10
寸法シフト ( $\mu\text{m}$ )	+0	+0.01	+0.02	+0.03	+0.04	+0.05	+0.06
バラツキ ( $\mu\text{m}$ )	$\pm 0.01$	$\pm 0.01$	$\pm 0.02$	$\pm 0.02$	$\pm 0.03$	$\pm 0.03$	$\pm 0.05$

【図8】



【図10】

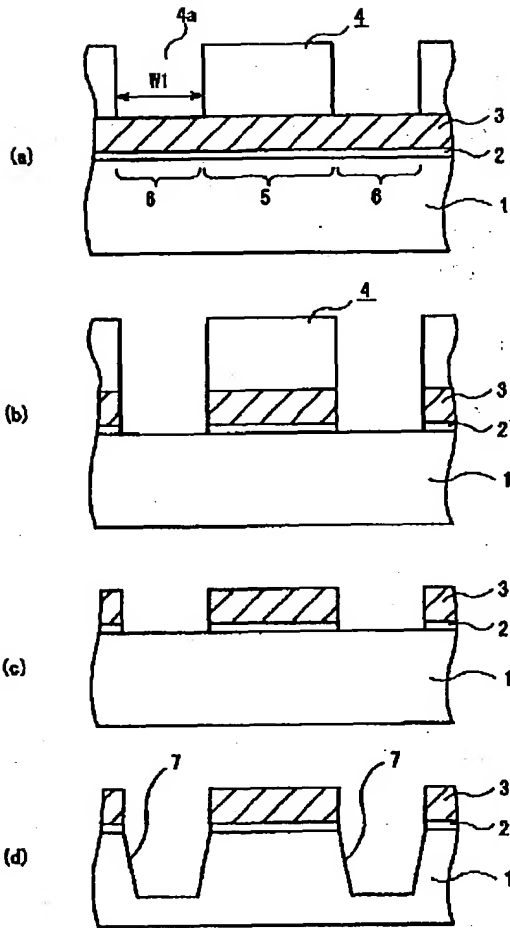


(b)

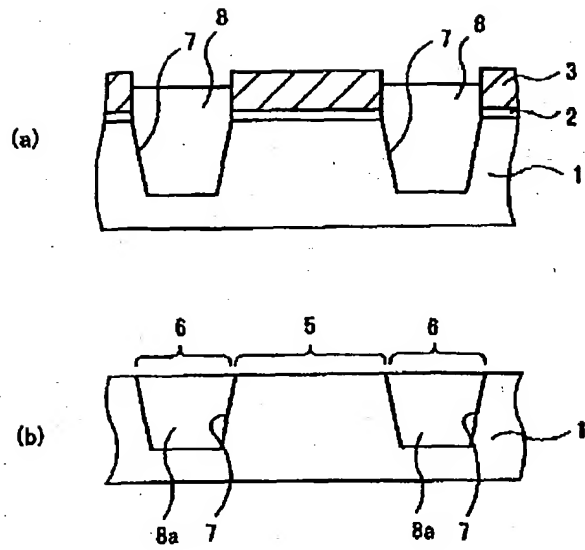
CF <sub>4</sub> /CHF <sub>3</sub>	70/10	67/13	65/15	60/20	55/25	50/30
仕上がり寸法 ( $\mu\text{m}$ )	0.16	0.15	0.14	0.13	0.11	0.09
寸法シフト ( $\mu\text{m}$ )	+0	+0.01	+0.02	+0.03	+0.05	+0.07
バラツキ ( $\mu\text{m}$ )	$\pm 0.01$	$\pm 0.01$	$\pm 0.02$	$\pm 0.03$	$\pm 0.03$	$\pm 0.08$



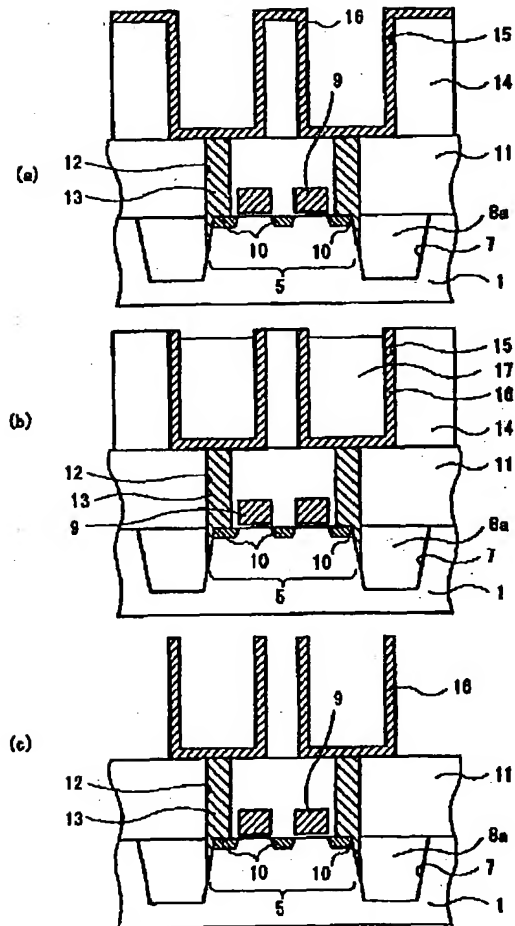
【図 11】



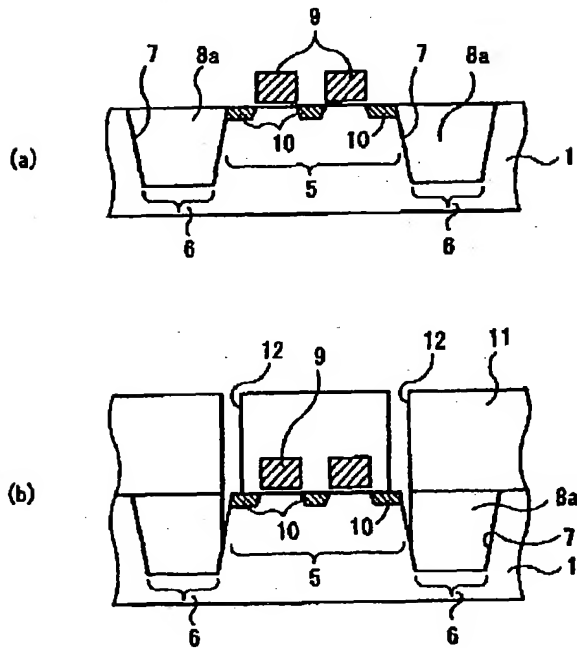
【図 12】



【図 14】



【図 13】



【図15】

